

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-101432

(43)Date of publication of application : 02.04.1992

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 02-218813

(71)Applicant : NEC CORP

(22)Date of filing : 20.08.1990

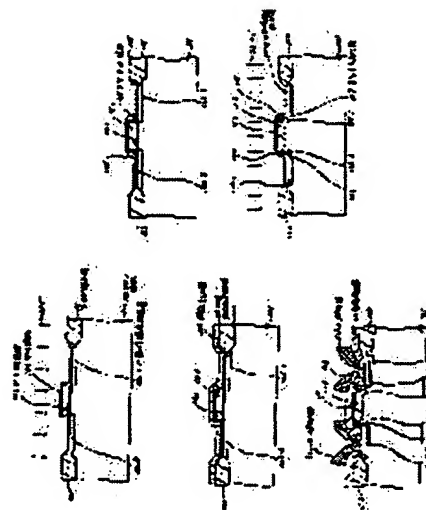
(72)Inventor : AKIYAMA HIROAKI

(54) MANUFACTURE OF MIS-TYPE TRANSISTOR

(57)Abstract:

PURPOSE: To prevent the occurrence of crystal defects by a method wherein a spacer insulated film is formed by anisotropic etching and then a polycrystal silicon film formed under the spacer insulated film is side-etched by isotropic etching.

CONSTITUTION: An oxide film 102 is formed on a P-type silicon substrate 101 by the LOCOS method and a part of the surface of the silicon substrate on which an element is formed is oxidized to form an oxide film 103. Then, a polycrystalline silicon gate electrode 104 is patterned and phosphorus is injected by ion implantation to form low-density diffusion layers 105-1, 105-2. After a polycrystalline silicon film 106 and silicon oxide film 107 are deposited in sequence by the CVD method, the silicon oxide film is etched back by RIE and an insulated film 108 is formed on the side wall of the gate electrode 104. Next, the polycrystalline silicon film is etched and a silicon film 109 is formed. After that, arsenic is injected by ion implantation to form high-density diffusion layers 110-1, 110-2. Then, a layer-to-layer insulated film 111 and Al interconnections 112-1, 112-2 are formed. By this method, crystal defects are prevented from occurring and thus junction leakage current is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-101432

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月2日

H 01 L 21/336
29/784

8422-4M H 01 L 29/78 3 0 1 L

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 MIS型トランジスタの製造方法

⑯ 特 願 平2-218813

⑰ 出 願 平2(1990)8月20日

⑱ 発 明 者 秋 山 裕 明 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

MIS型トランジスタの製造方法

特許請求の範囲

1. 第1導電型半導体基板上にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲート電極を形成した後、該ゲート電極をマスクにイオン注入を行ない前記半導体基板と逆導電型の低濃度拡散層を形成する工程と、前記半導体基板上に一様に多結晶シリコン膜、絶縁膜の順に被着する工程と、該絶縁膜を異方性エッチングにより、前記ゲート電極の側壁にのみ残す工程と、該側壁にのみ残した絶縁膜をマスクに前記多結晶シリコン膜を等方性エッチングし、前記絶縁膜と前記ゲート電極側壁との間にのみ残す工程と、前記ゲート電極、多結晶シリコン膜及び絶縁膜をマスクにイオン注入を行ない前記低濃度拡散層と同導電型の高濃度拡散層を形成する工程と所定温度でアニールする工程と

を有することを特徴とするMIS型トランジスタの製造方法。

2. 第1導電型半導体基板上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成した後、該ゲート電極をマスクにイオン注入を行ない前記半導体基板と逆導電型の低濃度拡散層を形成する工程と、前記半導体基板上に一様に多結晶シリコン膜、絶縁膜の順に被着する工程と、該絶縁膜を異方性エッチングにより、前記ゲート電極の側壁にのみ残す工程と、前記ゲート電極及び絶縁膜をマスクにイオン注入を行ない前記低濃度拡散層と同導電型の高濃度拡散層を形成する工程と、前記側壁にのみ残した絶縁膜をマスクに、前記多結晶シリコン膜を等方性エッチングし、前記絶縁膜と前記ゲート電極側壁との間にのみ残す工程と、所定温度でアニールする工程とを有することを特徴とするMIS型トランジスタの製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、MIS型トランジスタの製造方法に関し、特に、LDD (Lightly Doped Drain) 構造MOS型電界効果トランジスタの製造方法に関する。

〔従来の技術〕

従来のLDD構造MOS型トランジスタの製造方法を第2図(a)、(b)を参照して説明する。

先ず、第2図(a)に示すように、P型シリコン基板201表面にLOCOS法によりフィールド酸化膜202を形成して素子領域を区画したのち、その素子領域のP型シリコン基板201の表面を酸化し、ゲート酸化膜203を形成し、フォトリソ法により、N型多結晶シリコンのゲート電極204を形成する。その後、イオン注入法によりリン($^{31}\text{P}^+$)を注入しN型の低濃度拡散層205-1、205-2を形成する。その後、CVD法により酸化シリコン膜を基板上に形成し、異方性エッチングによりエッチバックを行

いゲート電極204の側壁にのみ酸化シリコン膜を残してスペーサ213を形成する。その後、第2図(b)に示すように、イオン注入法にて、ヒ素($^{75}\text{As}^+$)を注入し、N型の高濃度拡散層210-1、210-2を形成し、イオン注入のダメージ回復及びヒ素の活性化の為、900℃程度の熱処理を行っていた。

〔発明が解決しようとする課題〕

この従来のLDDトランジスタの製造方法では、スペーサ形成のためのエッチバック時にゲート酸化膜もエッチングされイオンでシリコン基板を直接たたくことが多く将来ソース・ドレインを形成する領域にダメージが残る。

また、N型の高濃度拡散層の形成のためのイオン注入時にアモルファス化したソース・ドレイン領域の再結晶化及び、注入したヒ素の活性化をすべく、900℃程度の熱処理を行うと、スペーサのエッジ部直下のアモルファス化した層はその層の下部の単結晶シリコン層を核にして固相エピタキシャル成長する。しかしその際、スペーサ直下

-3-

-4-

のアモルファス化した層は、スペーサにより強く固定されている為、再結晶化の際に応力を受け結晶欠陥214が発生し易い。

以上二つの理由により、接合漏れ電流が増加するという問題があった。

〔課題を解決するための手段〕

本願第1の発明のMIS型電界効果トランジスタの製造方法は、第1導電型半導体基板上にゲート絶縁膜を形成し、該ゲート絶縁膜上にゲート電極を形成した後、該ゲート電極をマスクにイオン注入を行ない前記半導体基板と逆導電型の低濃度拡散層を形成する工程と、前記半導体基板上に一樣に多結晶シリコン膜、絶縁膜の順に被着する工程と、該絶縁膜を異方性エッチングにより、前記ゲート電極の側壁にのみ残す工程と、該側壁にのみ残した絶縁膜をマスクに前記多結晶シリコン膜を等方性エッチングし、前記絶縁膜と前記ゲート電極側壁との間のみ残す工程と、前記ゲート電極、多結晶シリコン膜及び絶縁膜をマスクにイオン注入を行ない前記低濃度拡散層と同導電型の高

濃度拡散層を形成する工程と所定温度でアニールする工程とを有している。

又、本願第2の発明のMIS型電界効果トランジスタの製造方法は、第1導電型半導体基板上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成した後、該ゲート電極をマスクにイオン注入を行ない前記半導体基板と逆導電型の低濃度拡散層を形成する工程と、前記半導体基板上に一樣に多結晶シリコン膜、絶縁膜の順に被着する工程と、該絶縁膜を異方性エッチングにより、前記ゲート電極の側壁にのみ残す工程と、前記ゲート電極及び絶縁膜をマスクにイオン注入を行ない前記低濃度拡散層と同導電型の高濃度拡散層を形成する工程と、前記側壁にのみ残した絶縁膜をマスクに、前記多結晶シリコン膜を等方性エッチングし、前記絶縁膜と前記ゲート電極側壁との間のみ残す工程と、所定温度でアニールする工程とを有している。

〔実施例〕

次に本発明について図面を参照して説明する。

-5-

-6-

第1図(a)～(e)は本願第1の発明の一実施例のLDD構造MOS型電界効果トランジスタの製造方法を説明するための工程順断面図である。

まず第1図(a)に示すようにP型シリコン基板101上に、LOCOS法により厚さ600nmのフィールド酸化膜102を形成して区画した素子領域のシリコン表面を900℃で酸化し、厚さ20nmのゲート酸化膜103を形成する。その後、フォトリソ法により多結晶シリコンのゲート電極104(厚さ300nm)のパターニングを行い、このゲート電極104及びフィールド酸化膜102をマスクにして、セルフアライン法によりリン($^{31}\text{P}^+$)をイオン注入(エネルギー:40keV、ドーズ量: $3 \times 10^{13} \text{cm}^{-2}$)、N型の低濃度拡散層105-1、105-2を形成する。

次に第1図(b)に示すように、CVD法により、多結晶シリコン膜106(厚さ50nm)、酸化シリコン膜107(厚さ200nm)を順次

-7-

110-2を形成する。この時イオン注入によりアモルファス化したシリコンが再結晶するが、スペーサシリコン膜109がスペーサ絶縁膜108のエッジより0.1μm内側にくるので、スペーサ絶縁膜108とアモルファス化したシリコン層との間にすき間ができる為、応力を受けることを回避でき、結晶欠陥の発生を防ぐことができる。

次に、第1図(e)に示すように、従来法により、層間絶縁膜111を形成し、コンタクト穴を形成し、A₂配線112-1、112-2をパターニングすれば、LDD構造MOS型電界効果トランジスタが完成する。

尚、本実施例ではゲート電極として多結晶シリコン層を用いたが高融点金属及び高融点金属のシリサイド膜を用いてもよい。また、P型シリコン基板をN型シリコン基板として、P型電界効果トランジスタを形成してもよい。また、アニールを900℃で行ったが、800℃以上であれば、充分再結晶化されることが一般に知られている。

-9-

成長する。

その後第1図(c)に示すように、異方性エッチング(RIE)により、酸化シリコン膜をエッチバックし、ゲート電極104の側壁にスペーサ絶縁膜108を形成する。この時のエッチバックにおいてエッチングガスとして、 $\text{CHF}_3 + \text{H}_2$ を用いれば、酸化シリコン膜と多結晶シリコン膜との選択比は5:1以上とれる為、スペーサ絶縁膜108を形成する際に、基板を直接たたくことなく、ダメージは全くない。

次に第1図(d)に示すように多結晶シリコン膜を弗酸及び硝酸を含むエッチング液でエッチングし、スペーサシリコン膜109を形成する。この時、等方性エッチングの為に多結晶シリコン膜はスペーサ絶縁膜108のエッジより0.1μm程度、サイドエッチされる。その後、ヒ素($^{75}\text{As}^+$)をイオン注入し(エネルギー70keV、ドーズ量 $5 \times 10^{15} \text{cm}^{-2}$)、少なくとも800℃、好ましくは900℃、10分程度のアニールを行いN型の高濃度拡散層110-1、

-8-

次に、本願第2の発明の一実施例について説明する。

先に説明した実施例と同様の工程を経て酸化シリコン膜のスペーサ絶縁膜108を形成した後(第1図(c))多結晶シリコン層106(膜厚30nm)をエッチングする前に、ヒ素($^{75}\text{As}^+$)をイオン注入(エネルギー:150keV、ドーズ量: $5 \times 10^{15} \text{cm}^{-2}$)する。ここで多結晶シリコン106膜厚を30nm、注入エネルギーを150keVにしたのは多結晶シリコン層106を通して注入するためである。その後多結晶シリコン膜を弗酸及び硝酸を含むエッチング液でエッチングし、スペーサシリコン膜109を形成した後、900℃、10分程度のアニールを行う。

この実施例では、基板表面を一様に覆った多結晶シリコン膜(導電層)を通して、ヒ素($^{75}\text{As}^+$)のイオン注入を行うので、注入時のチャージアップによるゲート酸化膜の劣化、破壊を軽減できる利点がある。

〔発明の効果〕

-10-

以上説明したように本願第1, 第2の発明は、スペーサとして多結晶シリコン膜と絶縁膜の二種類で形成しており、スペーサ形成方法としてまず絶縁膜を異方性エッチングしてスペーサ絶縁膜を形成したのち、その下層の多結晶シリコン膜をスペーサ絶縁膜をマスクにして等方性エッチングをしサイドエッチさせることで、絶縁膜のエッチバック時に基板表面のシリコン層を直接たたかないこと及び高濃度拡散層の形成のためのイオン注入によって生じた基板表面のアモルファス化したシリコン層の再結晶化時にスペーサの応力による影響を受けない為、結晶欠陥の発生を防止できることにより、接合漏れ電流を低減できるという効果を有している。また、本願第2の発明は、前述の多結晶シリコン膜のエッチング前に高濃度拡散層を形成するためのイオン注入を行なうので、ゲート絶縁膜の破壊を防止できる効果も有している。

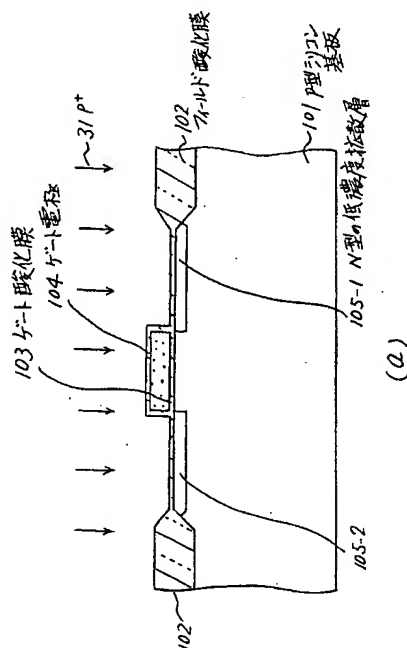
第1図(a)～(e)は本願第1の発明及び第2の発明それぞれの一実施例を説明するための工程順断面図、第2図(a), (b)は従来例を説明するための工程順断面図である。

101, 201…P型シリコン基板、102, 202…フィールド酸化膜、103, 203…ゲート酸化膜、104, 204…ゲート電極、105-1, 105-2, 205-1, 205-2…N型の低濃度拡散層、106…多結晶シリコン層、107…酸化シリコン膜、108…スペーサ絶縁膜、109…スペーサシリコン膜、110-1, 110-2, 210-1, 210-2…N型の高濃度拡散層、111…層間酸化膜、112-1, 112-2…A₂配線、213…スペーサ、214…結晶欠陥。

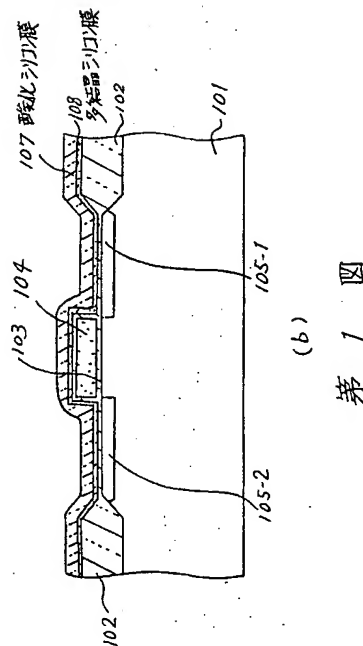
代理人 弁理士 内 原 智

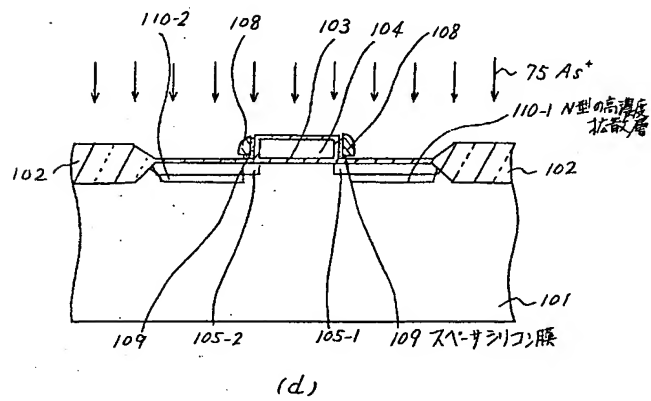
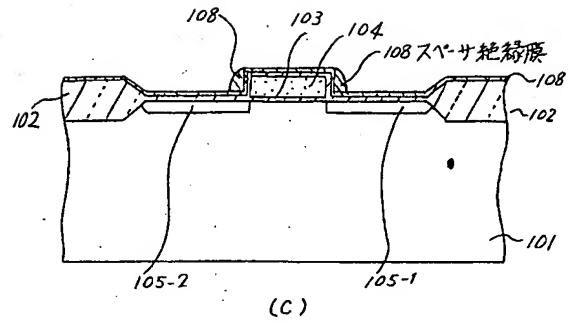
図面の簡単な説明

-11-

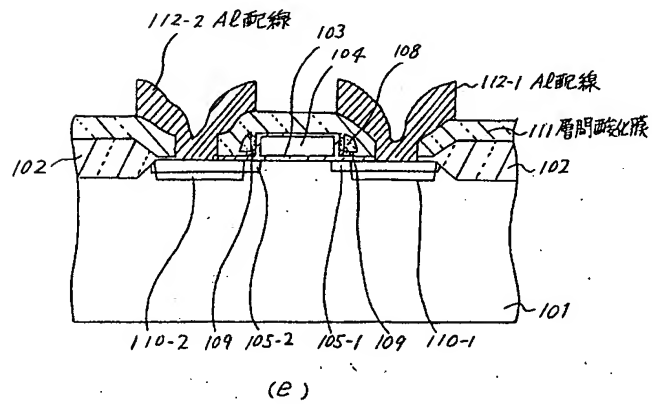


-12-

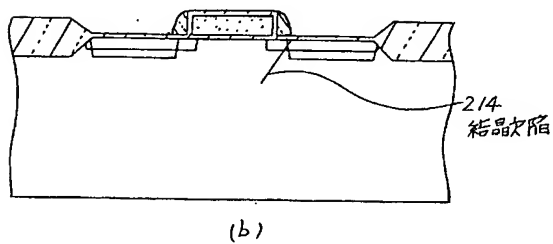
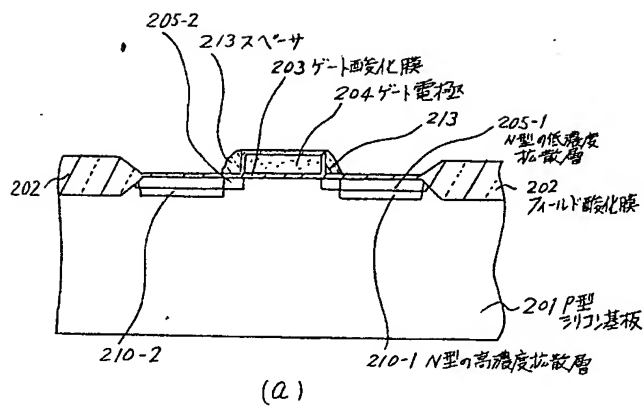




第 1 回



第 1 圖



第 2 図